

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 56-058267

(43) Date of publication of application : 21.05.1981

(51) Int.Cl.

H01L 29/78  
H01L 29/08  
H01L 29/60

(21) Application number : 54-132908

(71) Applicant : NIPPON TELEGR & TELEPH CORP

<NTT>

NEC CORP

(22) Date of filing : 17.10.1979

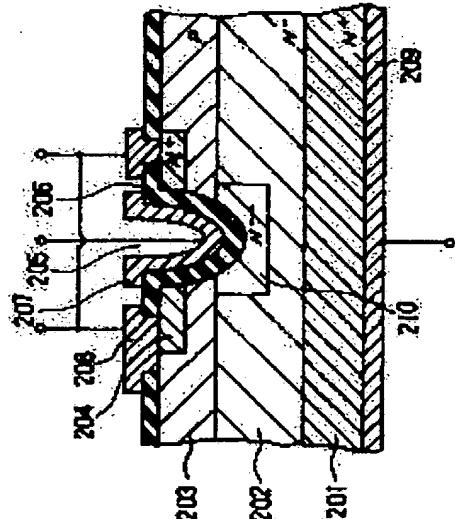
(72) Inventor : KATO KUNIHARU  
NAGANO HITOSHI  
SHIMADA YUKI  
IMAI SHUSABURO  
HIDESHIMA KENJI  
HANEDA HISASHI

## (54) INSULATED GATE TYPE FIELD-EFFECT TRANSISTOR

### (57) Abstract:

PURPOSE: To decrease the concentration of an electric field and increase dielectric resistance by a mechanism wherein a gate SiO<sub>2</sub> film is formed on a wall surface of a concave section made up to a drain region when preparing a longitudinal MOSFET, and a region having the extremely low concentration of impurities is previously formed into the drain region at a nose of the concave section.

CONSTITUTION: An N- layer 202 functioning as the second drain region is grown on an N<sup>+</sup> type semiconductor substrate 201 serving as the first drain region in an epitaxial shape, a P type layer 203 is formed on the layer 202, and an N<sup>+</sup> type source region 204 is made up into the layer 203 in a diffusion shape. A groove section 205, which is located at the central section of the region 204 and a nose thereof is put into the layer 202, is bored, the wall surface is coated with an Al gate electrode 207 through a gate SiO<sub>2</sub> film 206,



a window is opened to the SiO<sub>2</sub> film formed on an exposed surface of the layer 203 and a source electrode 208 contacting with the region 204 is made up, and a drain electrode 209 is built up on the back of the substrate 201, thus forming an FET. An N&minus;&minus; type region 210 is previously made up into the layer 202 in response to the nose of the groove section 205 in this constitution, the distribution of potential here is eased, the concentration of an electric field is decreased, and the FET is made resistant to high voltage.

---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭56-58267

⑫ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
29/08  
29/60

識別記号

序内整理番号  
6603-5F  
7514-5F  
7638-5F

⑬ 公開 昭和56年(1981)5月21日  
発明の数 1  
審査請求 未請求  
(全 4 頁)

## ⑭ 絶縁ゲート型電界効果トランジスタ

⑮ 特 願 昭54-132908  
⑯ 出 願 昭54(1979)10月17日  
⑰ 発明者 加藤邦治  
武蔵野市緑町三丁目9番11号  
本電信電話公社武蔵野電気通信  
研究所内  
⑱ 発明者 永野仁  
武蔵野市緑町三丁目9番11号  
本電信電話公社武蔵野電気通信  
研究所内  
⑲ 発明者 島田悠紀  
武蔵野市緑町三丁目9番11号

⑳ 発明者 今井修三郎  
東京都港区芝五丁目33番1号  
本電気株式会社内  
㉑ 発明者 秀島研二  
東京都港区芝五丁目33番1号  
本電気株式会社内  
㉒ 発明者 羽田尚志  
東京都港区芝五丁目33番1号  
本電気株式会社内  
㉓ 出願人 日本電信電話公社  
㉔ 代理人 弁理士 中村純之助  
最終頁に続く

## 明細書

## 1. 発明の名称 絶縁ゲート型電界効果トランジスタ

## 2. 本許請求の範囲

第1導電型の第1のドレイン領域と、該第1のドレイン領域に隣接して設けられた、第1のドレインよりも高比抵抗を有する第2のドレイン領域と、該第2のドレイン領域に隣接して設けられた第1導電型とは逆の第2導電型の領域と、該第2導電型の領域に隣接して設けられた第1導電型のソース領域と、該ソース領域から上記第2のドレイン領域に達する第2導電型の領域と、該導電型の表面に薄い絕縁膜を介して設けられたゲート電極とを具備する絶縁ゲート型電界効果トランジスタにおいて、上記第2のドレイン領域中の上記導電型の先端が突出している部分を取り囲むように設けられた、上記第2のドレインとは異なる比抵抗を有する第1あるいは第2導電型の領域を有することを特徴とする絶縁ゲート型電界

## 効果トランジスタ。

## 5. 第4の詳細を説明

本発明は第1導電型の第1のドレイン領域と、該第1のドレイン領域に隣接して設けられた、第1のドレインよりも高比抵抗を有する第2のドレイン領域と、該第2のドレイン領域に隣接して設けられた、第1導電型とは逆の第2導電型の領域と、該第2導電型の領域に隣接して設けられた第1導電型のソース領域と、該ソース領域から上記第2のドレイン領域に達する第2導電型の領域と、該導電型の上記第2導電型の領域の表面に薄い絶縁膜を介して設けられたゲート電極とを具備する絶縁ゲート型電界効果トランジスタに関する。

高耐圧化をはかる目的で制御を設けた絶縁ゲート型電界効果トランジスタ(以下本明細書においてはV-MOSFETと略称する)が提案されている。第1回は従来技術によるV-MOSFETの構造を断面図で示す。すなわち、従来技術によればN<sup>+</sup>層で第1のドレイン領域である低抵抗層基板101上に、この基板101より高比抵抗で、基

BEST AVAILABLE COPY

BEST AVAILABLE COPY

2のドレイン領域であるN<sup>-</sup>層102を設け、さらにP型領域103、N<sup>+</sup>領域104を形成する。そして、両側より溝部105を設ける。この溝部105は、N<sup>+</sup>領域104、およびP型領域103を突き抜け、N<sup>-</sup>層102に達するよう形成され。さらに二酸化シリコン膜106でおおわれるこの二酸化シリコン膜106上方にAl等のゲート電極107が設けられる。また、N<sup>+</sup>領域104はAl等のソース電極108に接続され、一方N<sup>+</sup>型低抵抗層基板101にはAu等のドレイン電極109が接続される。

このようなV-MOSFETの基本動作は、エンハンスマージ型の場合には、ゲート電極107にソース電極108に對し正電圧を加えることにより、ゲート電極下のP型領域103の裏面にチャージが形成され、ドレイン-ソース間に電流が流れ、ゲート電圧の大きさによりドレイン-ソース間の電流値が調整される。

しかしながら以上のような従来技術によるV-MOSFETにおいては、次に述べる欠点があ

- 3 -

第2図は本発明の第1の実施の態様によるV-MOSFETの断面図である。図中、201は第1のドレイン領域であるN<sup>+</sup>型低抵抗層基板、202はN<sup>+</sup>型低抵抗層基板201よりも高抵抗の第2のドレイン領域であるN<sup>-</sup>層、203はN<sup>-</sup>層202上に設けられたP型領域、204はソースとなるN<sup>+</sup>領域である。205は、ソースとなるP型領域204とP型領域203を突き抜け、N<sup>-</sup>層202に突出する溝部である。206は溝部205をむかうように形成された二酸化シリコン膜で、207はAl等によってできたゲート電極である。208はAl等によってできたソース電極、209はAu等のドレイン電極である。210は溝部205のN<sup>-</sup>層202への突出部を取り囲むように形成されたN<sup>++</sup>(N<sup>-</sup>層より高抵抗)領域である。

次に本発明の基本動作を説明する。ゲート電極207にソース電極208に對して正電圧を加えトランジスト動作をさせることは、従来のV-MOSFETと同じである。統いてOFF状態

特許昭56-58267(2)

る。すなわち、ドレイン-ソース間の耐圧は、P型領域103およびN<sup>-</sup>層102の厚さや此抵抗によっても決まるが、ドレイン-ゲート間の電界集中が溝部突出部分にかかるため、溝部のN<sup>-</sup>層102への突出距離の長短がドレイン-ソース間耐圧に大きく影響する。したがって、一定のN<sup>-</sup>層102の比抵抗をもつて耐圧を実現するには、この突出距離をばば零にすれば良いが、課題上このミリオン領域の突出距離は非常にむずかしく、耐圧化への問題点となっている。

本発明の目的は、したがって、前述のようないくつか的な製造工程を経ずに製造することができる、高耐圧のV-MOSFETを提供することである。

上記目的を達成するため、本発明によるV-MOSFETは前記述べた態様のV-MOSFETがさらに第2のドレイン領域中の溝部の先端が突出している部分を取り囲むように設けられた。第2のドレインとは異なる比抵抗を有する第1あるいは第2溝電界の領域を有することを要旨とする。

- 4 -

について説明する。OFF状態(ソースを正、ドレインを負)での耐圧は、P型領域203とN<sup>-</sup>層202が形成するPN接合部での電界集中、あるいは、溝部205のN<sup>-</sup>層202への突出部での電界集中によって決定される。特にこの溝部205の突出距離が長い場合は、この部分での電界集中が問題となり、耐圧を決定する。したがって、溝部205の突出部にN<sup>++</sup>領域210を設けることはこの部分での電位分布をゆるやかにし、すなわち電界集中を緩和することになり耐圧化が可能となる。ON抵抗について考えれば、耐圧とのかね合いから、N<sup>++</sup>領域210の厚さを決定すれば良く、第1図のN<sup>-</sup>層102を溝部で盛不純物濃度にして耐圧化するのに比べON抵抗の点でも有利と考えられる。

第3図は、溝部がV字形に形成されている本発明の第2の実施の態様によるV-MOSFETの断面図である。図中、301はN<sup>+</sup>型低抵抗層基板、302はN<sup>+</sup>型低抵抗層基板301よりも高抵抗のN<sup>-</sup>層、303はN<sup>-</sup>層302上に設けられた

- 5 -

- 6 -

BEST AVAILABLE COPY

P型領域、304はソースとなるN<sup>+</sup>領域である。305は、ソースとなるN<sup>+</sup>領域304とP型領域303を突き抜け、N<sup>-</sup>層302に突出するソースである。306は、V源305をあたりように、形成された二酸化シリコン層で、307はA8等によってできたゲート電極である。308はA8等によってできたソース電極、309はAu等のドレイン電極である。310は、V源305のN<sup>-</sup>層302への突出部をとりかこむよう形成されたN<sup>++</sup>領域である。この基本動作については第2回の説明と同様であるが、V源の突起部は傾角（約7°）とされているので、第2回の溝より電界集中が緩和となり、本発明がさらに効果的に働くと考えられる。

第4回は本発明のさらに他の一つの実施の形態に上るV-MOSFETの断面図である。以上二つの実施の形態においては、第2回の210および第3回の310は低空抗導基板と同一導電性と省いたけれども、このことは必ずしも必要を条件ではない。実験によれば、溝部の第2ドレイン領域の深

(特許昭56-582673)

由部を取り囲んでいる領域はインストリクタクな半導体に近く、チャネルが形成される領域と同一導電性であっても差支えない。第4回中、211はこのようをP<sup>+</sup>領域を意味し、他の引用番号はすべて第3回の同一の引用番号と同一のものを意味する。第4回に示すV-MOSFETも前に述べた二つの実施の形態によるV-MOSFETと全く同様に動作し、また第3回に示すV-MOSFETにおいて、N<sup>++</sup>領域がP<sup>+</sup>領域であることもできる。

以上説明したように、溝部の第2のドレイン領域への突出部に第2のドレイン領域よりも高い比抵抗を有する領域を形成することによって、突出部での電界集中を緩和できるので、本発明によれば、容易に高耐圧V-MOSFETを製造することができる。

#### 4. 図面の簡単な説明

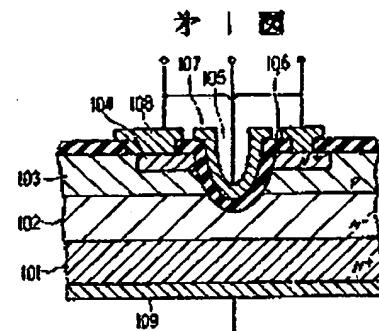
第1回は第1のV-MOSFETの断面図、第2回から第4回までは本発明のそれぞれ構った実施の形態に上るV-MOSFETの断面図である。

\* 8 \*

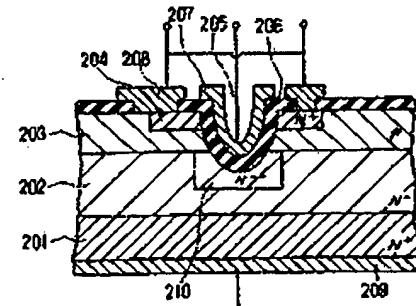
- 201. 301 - N<sup>+</sup>型低空抗導基板
- 202. 302 - N<sup>-</sup>層
- 203. 303 - P<sup>+</sup>型領域
- 204. 304 - N<sup>+</sup>領域
- 205 - 溝部
- 206 - V源
- 207. 306 - 二酸化シリコン層
- 208. 307 - ゲート電極
- 209. 308 - ソース電極
- 210. 310 - N<sup>++</sup>領域
- 211 - P<sup>+</sup>領域

特許出願人 日本電信電話公社  
(公か1名)  
代理人弁理士 宇村純之助

\* 9 \*



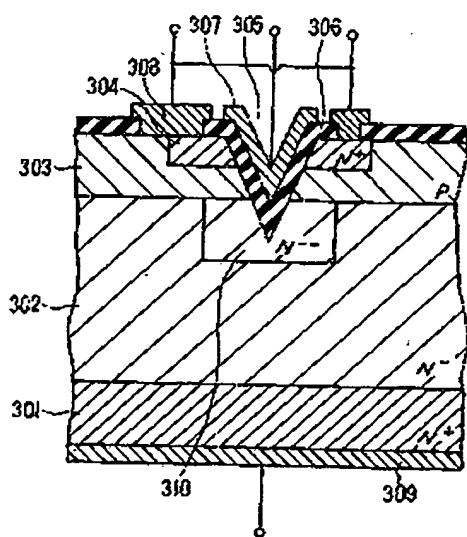
第1回



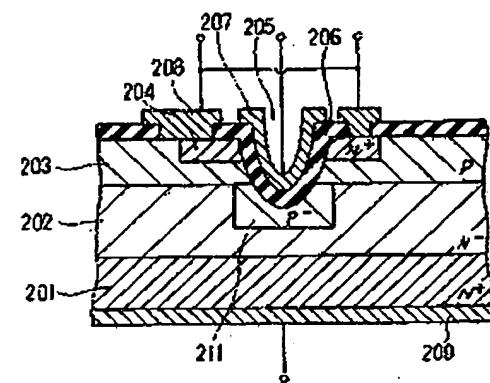
第2回

特許昭56- 58267(4)

第3図



第4図



第1頁の続き

出願人 日本電気株式会社  
東京都港区芝五丁目33番1号

BEST AVAILABLE COPY